

## **Analizador multicanal para espectrometría nuclear con FPGA utilizando Vivado**

**Ángel García Durán<sup>1</sup>, Víctor M. Hernández Dávila<sup>1,2</sup>, Héctor R. Vega Carrillo<sup>1</sup>**

*1 Unidad Académica de Estudios Nucleares, U. A. Z.  
Ciprés #10; Frac. La Peñuela; Zacatecas, Zac. 98060*

*2 Universidad de Córdoba. España*

*Campus de Rabanales. Ctra. N-IVa Km. 396. 14071*

*angelogarciad@hotmail.com; vic.mc68010@gmail.com; fermineutron@yahoo.com*

**Oscar O. Ordaz García<sup>1,2</sup>, Salvador Ibarra Delgado<sup>1,2</sup>**

*1 Unidad Académica de Ingeniería Eléctrica, U. A. Z.*

*Av. López Velarde #801; Col. Centro; Zacatecas, Zac., México, 98000*

*2 Universidad de Córdoba. España*

*Campus de Rabanales. Ctra. N-IVa Km. 396. 14071*

*oscarord27@hotmail.com; salvador6407@hotmail.com*

**Ignacio Bravo Muñoz**

*Departamento de electrónica, Universidad de Alcalá*

*Campus Universitario s/n, Alcalá de Henares, Madrid, España, 28805*

*ignacio.bravo@uah.es*

### **Resumen**

Las diferentes aplicaciones de la radiación ionizante ha hecho de esta, una herramienta muy significativa y útil, a su vez puede ser peligrosa para los seres vivos si son expuestos a dosis no controladas. Sin embargo, por sus características, no puede ser percibida por los cinco sentidos, de tal manera que para conocer la presencia de esta se requieren de detectores de radiación y dispositivos adicionales que nos permiten cuantificarla y clasificarla. Este es el caso del analizador multicanal que se encarga de separar las diferentes alturas de pulso que se generan en los detectores, en un número determinado de canales; acorde al número de bits del convertidor análogo a digital. El desarrollo o acondicionamiento de tecnología nuclear ha aumentado considerablemente por la demanda de las aplicaciones, por consiguiente esto permite desarrollar sistemas que cubran algunos requerimientos comerciales el costo y el volumen con relación a las necesidades del usuario. El objetivo del trabajo fue diseñar e implementar un núcleo de propiedad intelectual (IP Core) el cual funciona como un analizador multicanal para espectrometría nuclear. Para la metodología del diseño del IP Core sus componentes fueron creados en lenguaje de descripción de hardware VHDL y empaquetados en la suite de diseño Vivado, haciendo uso de los recursos como son los núcleos de procesadores ARM que el chip Zynq contiene. Así mismo, para la primera fase de la implementación se embebó en la FPGA la arquitectura hardware y programándose en lenguaje C la aplicación para el procesador ARM. Para la segunda fase, el manejo, control y visualización de los resultados se desarrolló un instrumento virtual en la plataforma gráfica de programación LabVIEW. Los datos obtenidos como resultado del desarrollo e

implementación del IP Core fueron observados de forma gráfica en un histograma que forma parte del instrumento virtual antes mencionado.

## 1. INTRODUCCIÓN

La radiación es la emisión de partículas o fotones debida a la desintegración de su núcleo atómico, hasta conseguir un núcleo estable. Así mismo, la espectrometría nuclear se considera importante ya que ha sido la columna vertebral de muchas aplicaciones, debido a que identifica la radiación y su radioisótopo mediante el nivel de energía [1, 2], esto mediante un analizador multicanal (MCA: MultiChannel Analyzer), que está conformado por elementos esenciales como: el subsistema discriminador que permite seleccionar la energía de la radiación cuya intensidad se va a medir, una memoria en la que se almacena la distribución de intensidades y un subsistema para visualización del espectro [3]. Debido a la complejidad de la construcción de circuitos analógicos para la obtención de una respuesta en un tiempo adecuado la alternativa de esto, se puede lograr fácilmente con procesamiento digital de señales. Esto permite el avance en el desarrollo de las necesidades tecnológicas en la espectrometría nuclear [4]. Además empleando un lenguaje de descripción de hardware de alto nivel que puede ser utilizado en placas de desarrollo de la familia Zynq de Xilinx; que combina en un mismo circuito integrado un microprocesador (parte software) y una FPGA de lógica programable (parte hardware). Con la facilidad de emplear Vivado como herramienta de síntesis de alto nivel que permita un elevado nivel de abstracción [5, 6]. Mediante el diseño e implementación de un analizador multicanal de 4096 canales para espectrometría nuclear con una placa de desarrollo ZedBoard la cual contiene un SoC (Zynq) y utilizando la suite de desarrollo Vivado, con esto se puede reducir: el costo y la dimensión del dispositivo, en relación con los analizadores multicanal comerciales. Por consiguiente satisfacer los requerimientos para los laboratorios de la Unidad Académica de Estudios Nucleares. Además, el sistema embebido es óptimo para ser adaptado como carga útil en un nano satélite de construcción mexicana.

## 2. MATERIALES Y MÉTODOS

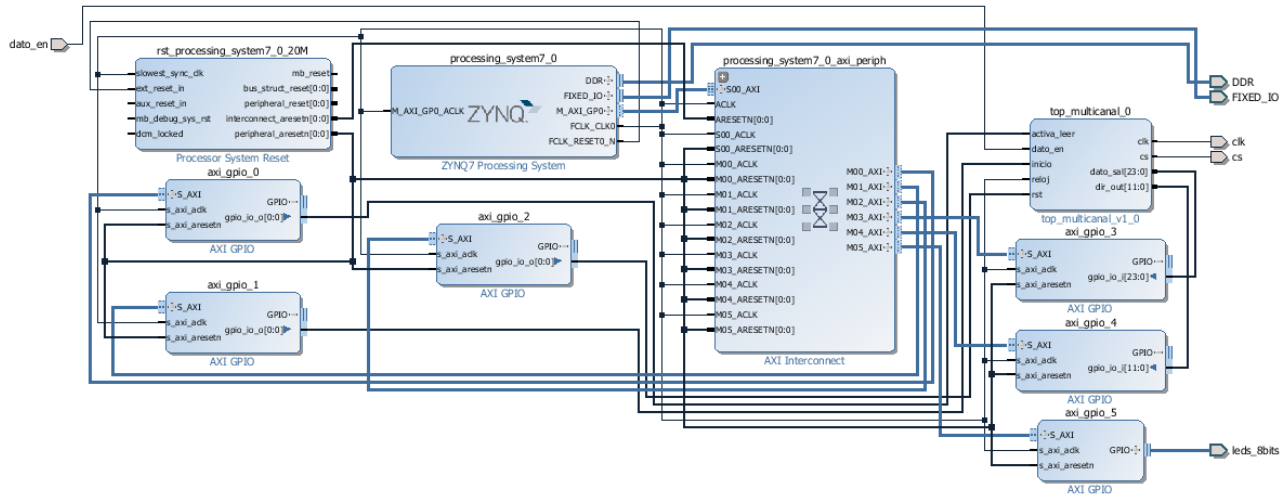
Este trabajo está dividido en tres secciones, la parte del diseño del IPCore que opera como el analizador multicanal, la programación de la aplicación para el procesador que es la que controla los procesos y la parte del instrumento virtual que desempeña el manejo, control y visualización de los datos.

### 2.1. Diseño y Descripción de Hardware para un Dispositivo Reconfigurable

La arquitectura se ha descrito en lenguaje VHDL. La placa de desarrollo que se utilizó para sintetizar este diseño es una ZedBoard kit Zynq-700 SoC Z-7020, la cual cuenta con una FPGA XC7Z020, además tiene como características principales 53200 LUTs (Look Up Tables), 106400 Flip-Flops, 200 pines de I/O, 32 BUFG (Buffers globales), 140 bloques de RAM36/FIFO, 220 procesadores digitales de señales (DSPs), entre otros. Esta tarjeta cuenta con dos CPUs de arquitectura ARM Cortex-A9 ubicado en la sección del sistema de procesamiento, la cual se puede habilitar para integrarse con módulos diseñados en la sección de lógica programable [7]. Además se utilizó un convertor analógico - digital de la compañía *Analog Devices*, este montado sobre un Pmod por *Digilent*, dicho convertor de una mega muestra por segundo, tiene dos

canales con muestreo paralelo con una resolución de 12 bits cada uno, con un intervalo de operación de 0 Volts a VCC, que en este caso será de 0 a 3.3 Volts [8].

El diseño para el analizador multicanal fue creado en el software de desarrollo Vivado (2015.4), para ser implementado sobre una placa de desarrollo ZedBoard que contiene un SoC de Xilinx (Zynq). El Top principal del mismo consta de 10 bloques como se muestran en la figura 1, de estos 10 bloques solo el nombrado *top\_multicanal\_0* fue diseñado para este, los otros bloques son proporcionados por la suite de desarrollo, en la Tabla I se describe brevemente el funcionamiento de cada bloque.



**Figura 1. Diagrama a bloques del analizador multicanal en Vivado**

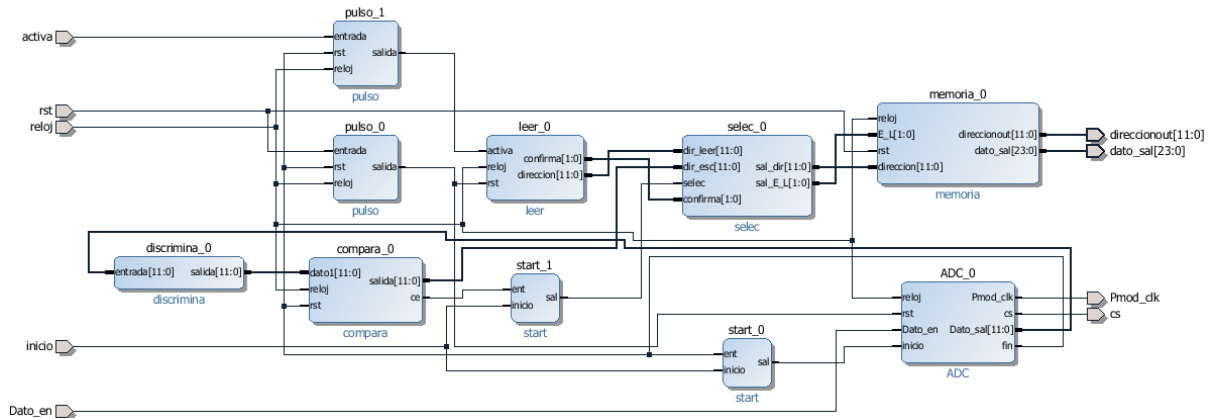
**Tabla I. Descripción de bloques del analizador multicanal en Vivado**

Nombre del bloque	Descripción
top_multicanal_0	IP del controlador del analizador multicanal
rst_processing_system7_0	Restablece los valores por default
processing_system7_0	Actúa como una conexión lógica entre el PS y el PL
processing_system7_0_axi_periph	Comunica los periféricos con el PS mediante el protocolo AXI
axi_gpio_0	Salida, inicio de lectura
axi_gpio_1	Salida, comienza el proceso de muestreo
axi_gpio_2	Salida, restablecer síncronamente todo el módulo top_multicanal_0
axi_gpio_3	Entrada, dato proveniente de la memoria
axi_gpio_4	Entrada, dirección proveniente de la memoria
axi_gpio_5	Salida, enciende LDSs indicadores de inicio y fin de proceso

### 2.1.1. Descripción del IPCore para el analizador multicanal

Se desarrolló la entidad *top\_multicanal\_0* cuyo objetivo fue, realizar el proceso del analizador multicanal, desde la conversión de los pulsos, a valores digitales hasta el almacenamiento de los

valores necesarios en memoria. Se constituyó por 10 bloques: *start\_0*, *ADC\_0*, *discrimina\_0*, *compara\_0*, *start\_1*, *pulso\_0*, *pulso\_1*, *leer\_0*, *selec\_0* y *memoria\_0*, como lo describe la Tabla II. También, contiene 5 entradas (*activa*, *rst*, *reloj*, *inicio* y *dato\_en*) y 4 salidas (*direccionout(11:0)*, *dato\_sal(23:0)*, *pmod\_clk* y *cs*) así mismo, todos los bloques y los periféricos se pueden observar en la Figura 2. Aunado a estas características los bloques de este IPCore fueron elaborados en el lenguaje de descripción de hardware VHDL, en la plataforma de desarrollo Vivado donde fueron interconectados correctamente para poder empaquetarlos en un IPCore.



**Figura 2. Diagrama bloques del IPCore del analizador multicanal.**

**Tabla II. Descripción de bloque del IPCore diseñado.**

Nombre del bloque	Descripción
start_0	Habilita al controlador del conversor análogo digital
ADC_0	Controla el conversor análogo digital
discrimina_0	Desecha los datos muy pequeños
compara_0	Obtiene los puntos más altos de los picos
start_1	Activa la escritura o la lectura
pulso_0	Restablece todas las entidades
pulso_1	Activa el módulo leer_0
leer_0	Saca los 4096 datos de la memoria uno a uno
selec_0	Selecciona la dirección de lectura o escritura
memoria_0	Almacena los puntos más altos de los picos

La entidad *start\_0*, que es un activador tiene como finalidad de iniciar y terminar el proceso de conversión, cuando la entrada *inicio* está en estado alto, esto indica que el conversor está encendido. El controlador del conversor análogo digital se describió como el bloque *ADC\_0*, este es una máquina de estados finitos de 3 estados que tiene como objetivo acoplarse con las especificaciones del ADC, proporcionar las señales de reloj y de encendido al conversor y de recibir los datos digitales ya convertidos. Con el propósito de descartar el ruido de fondo, se eliminan los primeros 100 canales, esta es el objetivo del bloque nombrado *discrimina\_0*. La

entidad *compara\_0* tiene como meta comparar todos los valores provenientes de la entidad llamada *discriminador\_0* para poder localizar flancos de subida y bajada y así detectar el valor más alto de cada uno de los pulsos obtenidos del detector de radiación. El bloque *start\_1* es un activador que se encarga de activar la memoria como escritura para el muestreo o como lectura para el vaciado de los datos. La entidad llamada *pulso\_0* tiene como objetivo acoplar la señal de activación del reset proveniente del instrumento virtual para que dicha activación solo este en alto por un ciclo de reloj. El bloque nombrado *pulso\_1* fue diseñado para acoplar la señal de lectura proveniente del instrumento virtual para prevenir que dicha señal esta activa por más de un ciclo de reloj. El bloque que tiene por nombre *leer\_0*, opera cuando el modo de lectura o el modo de restablecer está activado, proporciona a la memoria todas las direcciones que van desde 0 hasta 4095, una por una cada ciclo de reloj son enviadas, para que todos las localidades de memorias sean leídas o sean restablecidas según sea el caso. Este bloque llamado *selec* envia a la memoria los datos provenientes de los bloques posteriores, correspondiendo a la sección que este activa ya sea escritura o lectura. Por último se describe la entidad llamada *memoria\_0*, en la cual se almacenan todos los picos representativos a las amplitudes de la radiación.

## 2.2. Programación para la Aplicación del Procesador

La aplicación para la parte de software fue creada en lenguaje de programación C, mediante el programa de desarrollo Software Development Kit (SDK). Por consiguiente esta es la que controla el inicio y fin del muestreo, así como también la recolección de los datos de la memoria y restablecer la memoria.

## 2.3. Creación del Instrumento Virtual para el Analizador Multicanal

Mediante la plataforma de programación gráfica LabVIEW se creó el instrumento virtual del analizador multicanal el cual es usado como interface para el usuario para el manejar, control y visualización de los datos. Este instrumento utiliza el protocolo de comunicación VISA, por el cual mediante un puerto USB que emula un puerto serial tiene comunicación con la placa de desarrollo. El panel frontal del instrumento virtual cuenta con una interface amigable como se puede observar en la Figura 3.

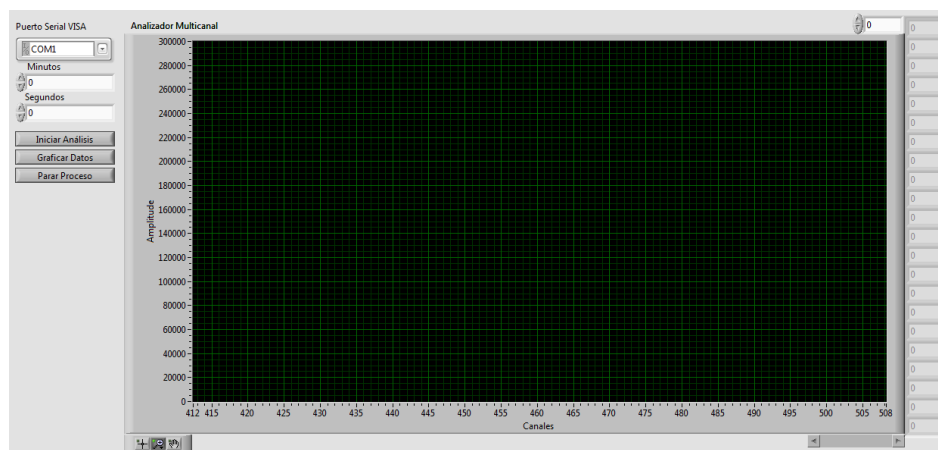


Figura 3. Interface de usuario del analizador multicanal

### 3. RESULTADOS

#### 3.1. Caracterización del Analizador Multicanal

El diseño (Figura 1) fue caracterizado con un generador de funciones cuyo objetivo fue establecer que las condiciones programadas que proporcionaran una repuesta de tipo lineal para la prueba experimental con un coeficiente  $R^2$  de 0.99999912. La Figura 4 muestra la relación entre los datos calculados y los datos obtenidos, donde es casi imperceptible la diferencia entre dichos valores.

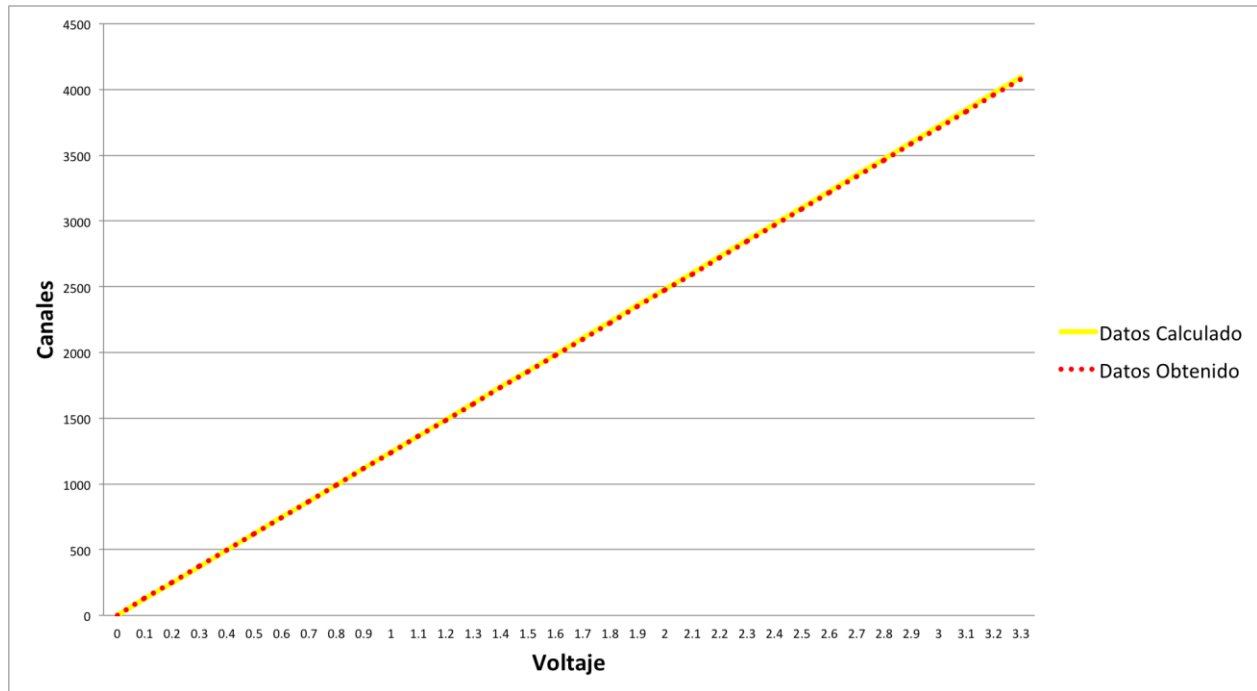
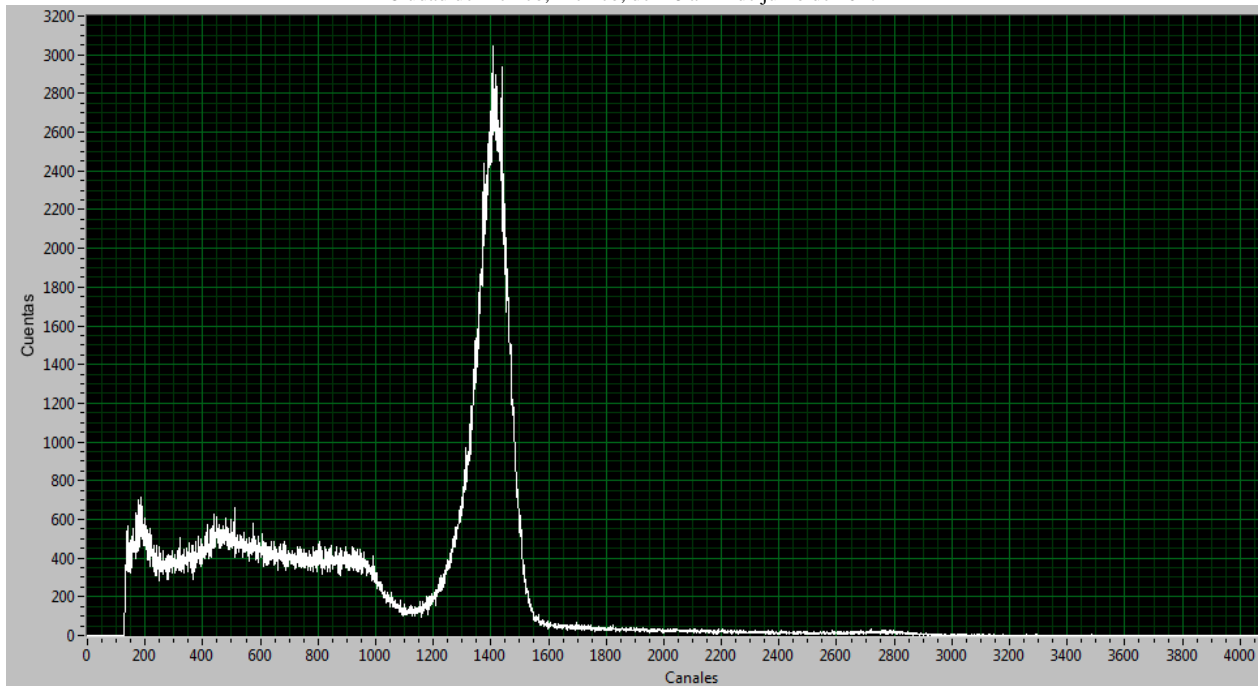


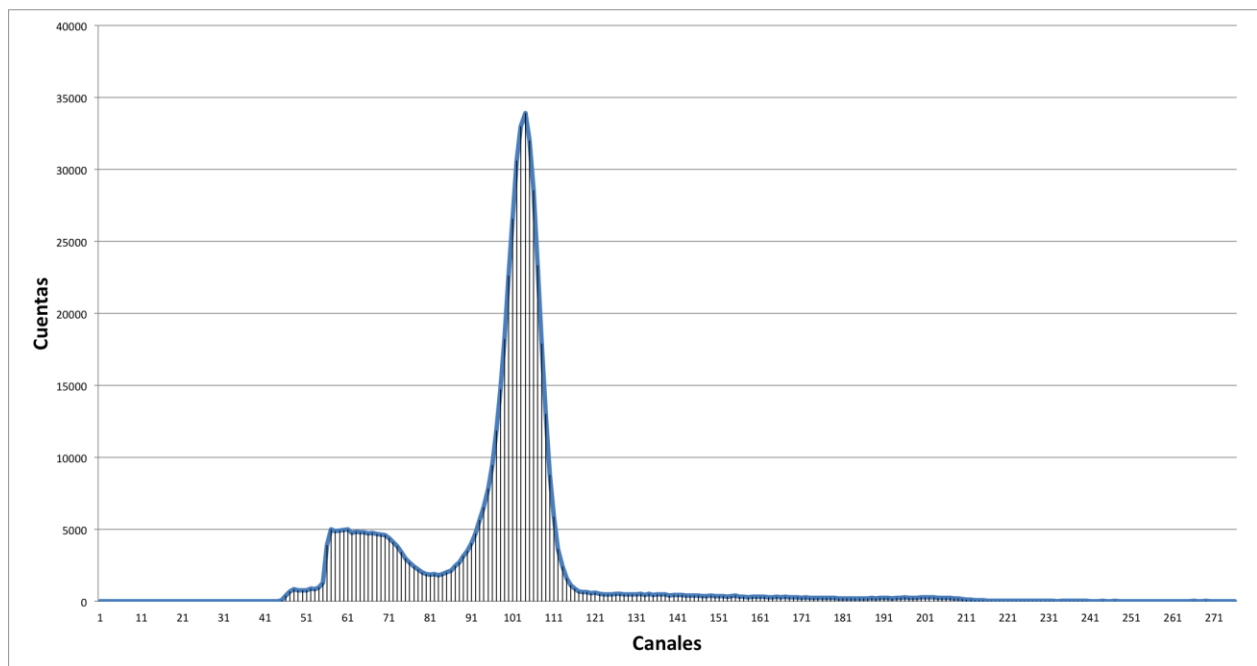
Figura 4. Gráfica de linealidad del analizador multicanal

#### 3.2. Comparación con Analizador Multicanal ORTEC

Una vez caracterizado el analizador multicanal se realizó el proceso de pruebas con un sistema de espectrometría de rayos gamma con un detector de centelleo de NaI(Tl) de 3 pulgadas de diámetro por 3 pulgadas de altura, dicho sistema consta de un gabinete o NIMbin, fuente de alto voltaje y un amplificador espectroscópico, posteriormente se compararon los resultados con un analizador multicanal de 2048 canales de la marca Ortec. En la Figura 5 se muestra un espectro de una fuente sellada de cesio 137 tomado con el analizador multicanal embebido en la FPGA y en la Figura 6 se muestra el mismo espectro pero tomado con el analizador multicanal de Ortec. Claramente se puede ver que los dos espectros son muy similares en cuanto a la forma en el cual se puede ver el fotopico característico del Cs-137 que es de 662 keV, aunque no se representan las mismas cuentas porque fueron muestreados con distintos tiempos.



**Figura 5. Espectro de Cs 137 MCA con Zynq**



**Figura 6. Espectro de Cs 137 MCA Ortec**

En las Figuras 7 y 8 también se hace una comparación de espectros entre el analizador multicanal descrito en este trabajo y el analizador comercial de Ortec, pero en esta ocasión muestreando la fuente sellada del cobalto 60; de igual manera se pueden identificar perfectamente los dos fotopicos característicos del cobalto 60 que son de 1.17 MeV y 1.33 MeV.

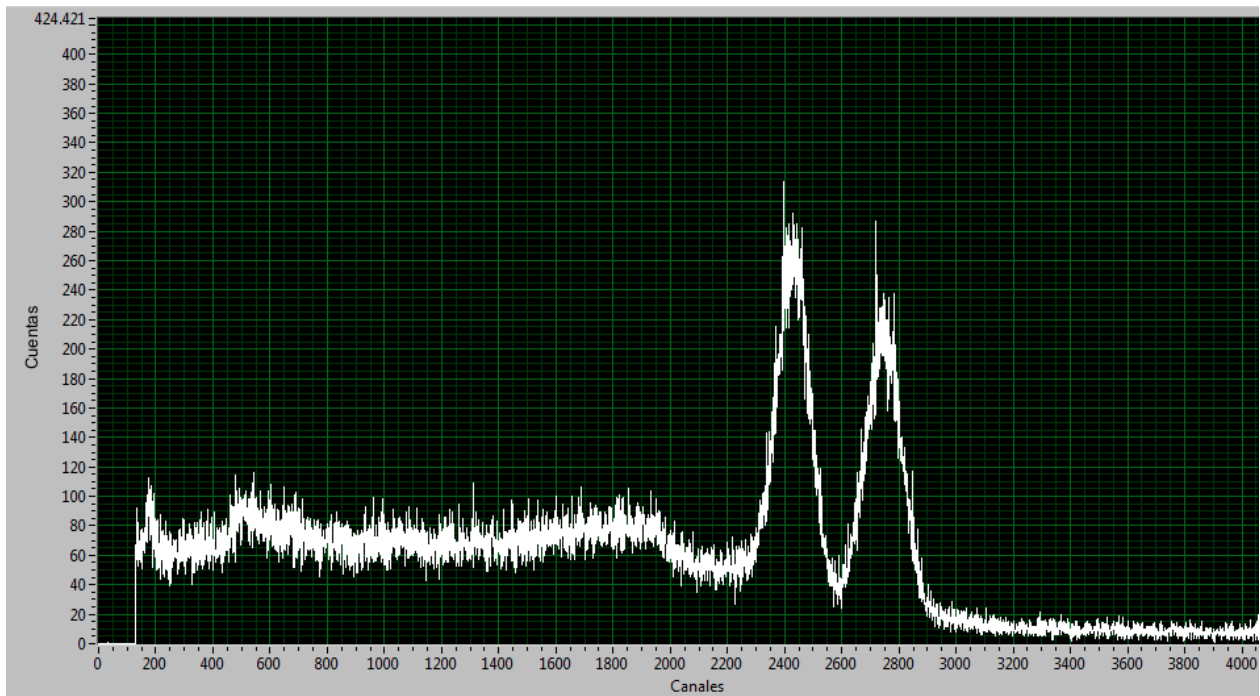


Figura 7. Espectro de Co 60 MCA con Zynq

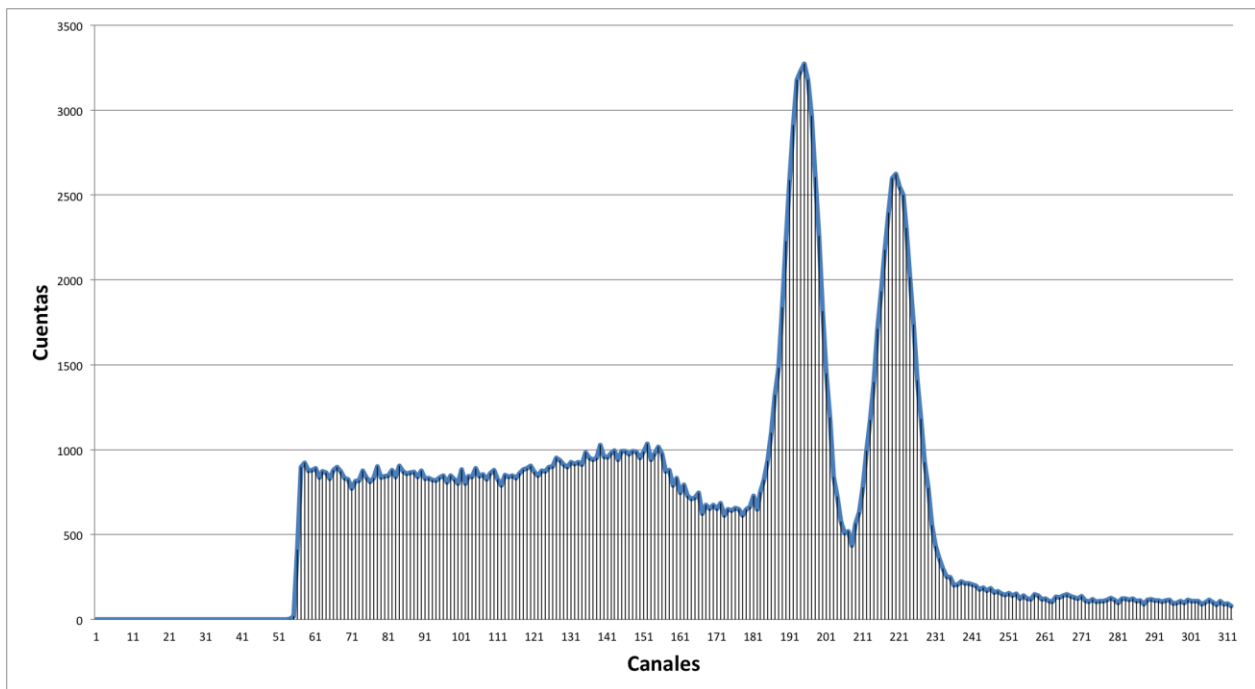


Figura 8. Espectro de Co 60 MCA Ortec

#### 4. CONCLUSIONES

Se logró describir un IPCore que funge como un analizador multicanal para espectrometría embebido en un SoC Zynq. Se hizo de los núcleos ARM para el control del hardware embebido y la transmisión de datos al exterior del FPGA. Se desarrollo un instrumento virtual para el manejo



de datos y manipulación del espectro. La capacidad del FPGA nos da la opción de colocar mas instrumentos embebidos pues solo se a ocupado para el analizador multicanal el 9% de su capacidad. Teniendo una analizador de espectro embebido en un FPGA se pueden cumplir los requerimientos de espacio, volumen y peso para colocarlo como carga útil junto a un diodo pin y un amplificador espectroscópico en un nano satélite de construcción mexicana para proporcionar espectros tomados fuera de la atmosfera. Se han hecho pruebas con cesio y cobalto para demostrar que el analizador esta funcionando. Como trabajo futuro, se puede mejorar las rutinas de diseño para el procesamiento de los datos como, obtener el área bajo la curva, reducción o ampliación de canales según las necesidades, adecuar a escala logarítmica la gráfica, añadir corrección por deslizamiento y hacer manipulación del multicanal desde dispositivos móviles.

## AGRADECIMIENTOS

El autor Angel García Durán agradece al CONACYT por el apoyo económico y a la Universidad de Alcalá por haberlo recibido en sus instalaciones.

## REFERENCIAS

1. Ibarra, C.J. and V.M. Pabón, "Espectrometría Gamma De Baja Resolución Analizador De 1024 Canales Ludlum", *X Congreso Regional Latinoamericano IRPA de Protección y Seguridad Radiológica*, Buenos Aires, 12 al 17 de abril, (2015).
2. Adler Florian, Thorpe Michael J., Cossel Kevin C., and Ye Jun, "Cavity-enhanced direct frequency comb spectroscopy: technology and applications" *Annual Review of Analytical Chemistry*, **3**, p. 175-205 (2010).
3. Dambacher M., Zwerger A., Fauler A., Disch C., Stohlker U., and Fiederle M., "Development of the gamma-ray analysis digital filter multi-channel analyzer (GMCA)", *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, **652**(1), p. 445-449 (2011).
4. Lee, P.S., C.S. Lee, and J.H. Lee, "Development of FPGA-based digital signal processing system for radiation spectroscopy", *Radiation Measurements*, **48**, p. 12-17 (2013).
5. " UAM. Departamento de Tecnología Electrónica y de las Comunicaciones ", <http://hdl.handle.net/10486/669988>, (2016).
6. "Biblioteca digital Universidad de Alcalá", <http://dspace.uah.es/dspace/handle/10017/20805>, (2014).
7. Apu, A.P.U., "Zynq-7000 All Programmable SoC Overview", (2016).
8. Ada Pmod Xilinx, F., I.I.O. Ada, and L. Driver, "Important links for the AD7476A\_7477A\_7478A", (2011).